



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0042304
Application Number

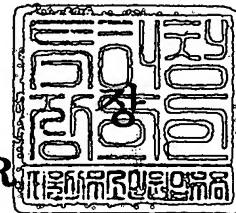
출 원 년 월 일 : 2002년 07월 19일
Date of Application JUL 19, 2002

출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0013		
【제출일자】	2002.07.19		
【발명의 명칭】	부하구동능력가변형 증폭회로		
【발명의 영문명칭】	Amplifying circuit with variable load driability		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	차유진		
【성명의 영문표기】	CHA, You Jin		
【주민등록번호】	721029-1080014		
【우편번호】	361-240		
【주소】	충청북도 청주시 흥덕구 개신동 두산아파트 202-304		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	8	면	8,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	10	항	429,000 원
【합계】	466,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 부하조건에 따라 부하구동능력을 가변시키고 소비전력을 감소시킬 수 있는 증폭회로에 관한 것이다. 본 발명의 증폭회로는 입력신호를 1차 증폭하여 제1 및 제2 트랜지스터를 통해 제1 및 제2증폭신호를 발생하고, 상기 제1 및 제2증폭신호를 각각 제3 및 제4트랜지스터를 통해 2차증폭하여 출력신호를 발생하는 증폭수단; 상기 증폭수단의 제1 및 제2증폭신호를 검출하여 제1 및 제2검출신호를 발생하는 검출수단; 상기 검출수단으로부터 발생된 제1 및 제2검출신호에 따라 제어되어 상기 증폭수단의 부하구동능력을 가변시켜 주기 위한 부하구동능력 가변수단을 구비한다. 본 발명의 증폭회로는 입력신호가 변하는 경우에는 이를 검출하여 부하구동능력을 증가시켜 정착시간을 감소시키고, 입력신호가 변하지 않은 경우에는 이를 검출하여 소비전류를 감소시킨다.

【대표도】

도 8

【색인어】

부하조건, 부하구동능력, 가변, 소비전력, 증폭회로

【명세서】**【발명의 명칭】**

부하구동능력가변형 증폭회로{Amplifying circuit with variable load driability}

【도면의 간단한 설명】

도 1은 종래의 2단증폭회로의 구성도,

도 2는 종래의 2단증폭회로의 입출력파형도,

도 3a 및 도 3b는 도 2의 A 부분 및 B 부분의 확대도,

도 4는 도 1의 2단증폭회로에 있어서, 부하캐패시터가 10pF 일 경우의 입출력파형
도,

도 5a 및 도 5b는 도 4의 C 부분 및 D 부분의 확대도,

도 6은 도 1의 2단증폭회로에 있어서, 출력트랜지스터의 크기를 4배증가시킨 경우
의 입출력파형도,

도 7a 및 도 7b는 도 6의 E 및 F 부분의 확대도,

도 8은 본 발명의 실시예에 따른 부하구동능력가변형 2단증폭회로의 구성도,

도 9는 도 8에 도시된 본 발명의 2단증폭회로의 입출력파형도,

도 10a 및 10b는 도 9의 G 부분 및 F 부분의 확대도,

도 11은 도 8에 도시된 본 발명의 2단증폭회로의 동작파형도,

도면의 주요부분에 대한 부호의 설명

100 : 증폭수단

200 : 검출수단

300 : 부하구동능력 가변수단

I1-I3 : 전류원

N1-N8 : NMOS 트랜지스터

P1-P8 : PMOS 트랜지스터

R0-R4 : 저항

31, 32 : 슈미트 트리거수단

32 : 익스클루시브 오아게이트

33 : 인버터

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <18> 본 발명은 증폭회로에 관한 것으로서, 보다 구체적으로는 부하조건에 따라 부하구 동능력을 가변시키고 소비전력을 감소시킬 수 있는 2단 증폭회로에 관한 것이다.
- <19> 도 1에 도시된 종래의 2단 증폭회로는 비반전 입력단자(IN)에 입력전압이 인가되고, 반전 입력단자(INC)에 증폭회로의 출력신호(OUT)가 부케환(negative feedback)되어, 입력전압(IN)을 그대로 출력신호(OUT)로 제공하는 버퍼동작을 한다. 도 1에는 도시되지 않았으나, 출력단(OUT)에 상기 증폭회로가 구동하여야 할 저항이나 캐패시터 등의 부하가 연결된다.
- <20> 도 2는 도 1의 2단증폭회로의 출력단(OUT)과 접지(VSS)사이에, 5V의 전원전압(VDD) 하에서 100pF의 부하 캐패시터가 연결된 경우, 입력신호(IN)와 출력신호(OUT)에 대한 시뮬레이션 결과를 도시한 것이고, 도 3a 및 도 3b는 도 2의 A 부분과 B부분에 대한 확대파형도를 도시한 것이다. 입력신호(IN)로 0.1V에서 4.9V 까지 스윙하는 구형파신호를 인가하였을 경우, 출력단(OUT)의 신호가 입력신

호(IN)의 전압으로 근접하는데 약 $10 \mu\text{sec}$ 의 지연시간을 가지게 됨을 알 수 있다. 이때, 상기 지연시간을 증폭회로의 정착시간(settling time)이라 하는데, 상기 정착시간은 증폭회로의 성능을 나타내는 중요한 특성중의 하나이며, 증폭회로의 부하 캐패시터의 값, 증폭회로의 소비전류 및 위상등에 따라 결정되어진다.

- <21> 일반적인 증폭회로에 있어서, 출력단에 연결되는 부하캐패시터의 값은 고정되며, 상기 부하조건을 만족하는 정착시간을 갖도록 증폭회로가 설계되어진다. 그러나, 부하캐패시터의 값이 조건에 따라 가변되는 경우 증폭회로의 정착시간도 가변되어진다.
- <22> 예를 들어, 도 1의 증폭회로의 출력단(OUT)에 10nF 의 부하캐패시터를 연결한 경우에는, 도 4, 도 5a 및 도 5b에 도시된 바와같이 증폭회로는 $30 \mu\text{sec}$ 이상의 정착시간을 갖게 된다. 그러므로, 10pF 의 부하캐패시터가 연결된 증폭회로가 $10 \mu\text{sec}$ 의 정착시간을 갖기 위해서는 도 1에 도시된 출력 트랜지스터(P5, N5)의 크기를 증가시켜야 한다.
- <23> 도 1의 증폭회로의 정착시간을 감소시키기 위하여 출력트랜지스터(P5, N5)의 크기를 4배이상 증가시킨 경우에는, 도 6, 도 7a 및 도 7b에 도시된 바와같이 증폭회로의 정착시간은 $10 \mu\text{sec}$ 로 감소하게 되지만, 소비전류가 도1의 증폭회로에 비하여 3배이상 증가하게 된다.
- <24> 그러므로, 부하캐패시터의 용량이 10pF 에서 100pF 로 가변되는 시스템에서 증폭회로의 출력 트랜지스터의 크기를 증가시키는 것은 정착시간의 사양은 만족시킬 수 있으나, 증폭회로의 소비전류가 증가하기 때문에 휴대용 전자기기와 같은 저전력을 요구하는 시스템에는 적용하기 어려운 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명의 목적은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 부하조건에 따라 부하구동능력을 가변시키고, 소비전력의 증가없이 다양한 값의 부하를 구동시켜 줄 수 있는 증폭회로를 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<26> 이와 같은 목적을 달성하기 위한 본 발명은 입력신호를 1차 증폭하여 제1 및 제2트랜지스터를 통해 제1 및 제2증폭신호를 발생하고, 상기 제1 및 제2증폭신호를 각각 제3 및 제4트랜지스터를 통해 2차증폭하여 출력신호를 발생하는 증폭수단과; 상기 증폭수단의 제1 및 제2증폭신호를 검출하여 제1 및 제2검출신호를 발생하는 검출수단과; 상기 검출수단으로부터 발생된 제1 및 제2검출신호에 따라 제어되어 상기 증폭수단의 부하구동능력을 가변시켜 주기 위한 부하구동능력 가변수단을 구비하는 부하구동능력 가변형 증폭회로를 제공하는 것을 특징으로 한다.

<27> 상기 검출수단은 상기 증폭수단의 제1 및 제2증폭신호의 전압레벨 변화를 각각 감지하는 슈미트 트리거수단과; 상기 슈미트 트리거수단의 출력신호를 입력하여 제1검출신호를 발생하는 익스클루시브 오아게이트와; 상기 제1검출신호를 반전시켜 제2검출신호를 발생하는 인버터로 이루어진다.

<28> 상기 부하구동능력 가변수단은 상기 검출수단의 제2검출신호에 의해 구동되어 상기 증폭수단의 제3트랜지스터의 구동능력을 증가시켜 주기위한 제1가변수단과; 상기 검출수단의 제1검출신호에 의해 구동되어 상기 증폭수단의 제4트랜지스터의 구동능력을 증가시켜 주기위한 제2가변수단으로 이루어진다.

- <29> 제1가변수단은 상기 증폭수단의 제3트랜지스터와 함께 부하구동능력을 증가시켜 주기 위한 제5트랜지스터와; 상기 제2검출신호에 의해 상기 제5트랜지스터를 디스에이블시켜 주기위한 제6트랜지스터와; 상기 제2검출신호에 의해 상기 제1증폭신호를 상기 제5트랜지스터의 게이트신호로 전달하기 위한 제7트랜지스터로 이루어진다.
- <30> 상기 제2가변수단은 상기 증폭수단의 제4트랜지스터와 함께 부하구동능력을 증가시켜 주기 위한 제8트랜지스터와; 상기 제2검출신호에 의해 상기 제8트랜지스터를 디스에이블시켜 주기위한 제9트랜지스터와; 상기 제2검출신호에 의해 상기 제2증폭신호를 상기 제8트랜지스터의 게이트신호로 전달하기 위한 제10트랜지스터로 이루어진다.
- <31> 제1가변수단의 제5트랜지스터와 증폭수단의 제3트랜지스터는 PMOS트랜지스터로서, 제5트랜지스터가 제3트랜지스터의 4배이상의 크기를 갖으며, 제2가변수단의 제8트랜지스터와 증폭수단의 제4트랜지스터는 NMOS트랜지스터로서, 제8트랜지스터가 제4트랜지스터의 4배이상의 크기를 갖는다.
- <32> 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예를 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.
- <33> 도 8은 본 발명의 실시예에 따른 2단 증폭회로의 구성도를 도시한 것이다.
- <34> 도 8을 참조하면, 본 발명의 2단 증폭회로는 입력신호(IN)를 출력단(OUT)으로 그대로 출력하는 증폭수단(100)과, 상기 증폭수단(100)의 출력 트랜지스터인 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N5)의 입력신호(OUT1), (OUT2)의 전압레벨을 검출하여 검출신호를 발생하는 검출수단(200)과, 상기 검출수단(200)에서 출력되는 검출신호에 따라 상

기 증폭수단(100)의 부하구동능력을 가변시켜 주기 위한 부하구동능력 가변수단(300)을 구비한다.

<35> 상기 증폭수단(100)은 입력신호(IN)를 1차 증폭하여 PMOS 트랜지스터(P4)와 NMOS 트랜지스터(N4)를 통해 1차증폭신호(OUT1), (OUT2)로서 출력하고, 1차 증폭신호(OUT2), (OUT1)를 입력신호로 하는 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N5)를 통해 2차증폭하여 출력신호(OUT)를 출력하는 2단증폭회로로서, 그의 구성 및 동작은 도 1에 도시된 2단 증폭회로의 구성 및 동작과 동일하다.

<36> 상기 검출수단(200)은 상기 증폭수단(100)의 출력 트랜지스터인 NMOS 트랜지스터(N5)와 PMOS 트랜지스터(P5)의 입력신호(OUT1), (OUT2)의 전압레벨 변화를 감지하는 슈미트 트리거수단(31), (32)과, 상기 슈미트 트리거수단(31), (32)의 출력신호를 입력하여 부하구동능력 가변수단(300)을 제어하기 위한 검출신호(BSTX, BST)를 발생하는 논리게이트인 익스클루시브 오아게이트(33)와 인버터(34)로 이루어진다.

<37> 상기 제1 및 제2슈미트 트리거수단(31), (32)은 각각 입력신호인 증폭신호(OUT1), (OUT2)가 증폭신호(OUT2)를 출력하는 PMOS 트랜지스터(P4)의 입력신호인 게이트신호(T2)의 레벨로 되면, 접지전압의 로우레벨신호를 출력하고, 한편 제1 및 제2증폭신호(OUT1), (OUT2)가 증폭신호(OUT1)를 출력하는 NMOS 트랜지스터(N4)의 입력신호인 게이트신호(T1)의 레벨로 되면, 전원전압의 하이레벨신호를 출력한다.

<38> 상기 부하구동능력 가변수단(300)은 상기 검출수단(200)의 검출신호(BST)에 의해 구동되어 상기 증폭수단(100)의 출력트랜지스터(P5)의 구동능력을 증가시켜 주기위한 제1가변수단(310)과, 상기 검출수단(200)의 검출신호(BSTX)에 의해 구동되어 상기 증폭수

단(100)의 출력트랜지스터(N5)의 구동능력을 증가시켜 주기위한 제2가변수단(320)으로 이루어진다.

<39> 제1가변수단(310)은 스위치역할을 하는 NMOS 트랜지스터(N6) 및 PMOS 트랜지스터(P7)와, 상기 제1증폭신호(OUT1)를 게이트신호로 하여 상기 증폭수단(100)의 출력트랜지스터(P5)와 함께 부하의 구동능력을 증가시켜 주기위한 PMOS 트랜지스터(P8)로 이루어진다.

<40> 제2가변수단(320)은 스위치역할을 하는 NMOS 트랜지스터(N7) 및 PMOS 트랜지스터(P6)와, 상기 제2증폭신호(OUT2)를 게이트신호로 하여 상기 증폭수단(100)의 출력트랜지스터(N5)와 함께 부하의 구동능력을 증가시켜 주기위한 NMOS 트랜지스터(N8)로 이루어진다.

<41> 이때, 부하구동능력 가변수단(300)의 출력 트랜지스터인 PMOS 트랜지스터(P8)와 NMOS 트랜지스터(N8)는 각각 증폭수단(100)의 출력트랜지스터인 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N5)의 4배이상의 크기를 갖는다.

<42> 상기한 바와같은 구성을 갖는 본 발명의 부하구동능력 가변형 증폭회로의 동작을 도 9, 도 10a 및 도 10b의 입출력파형도와 도 11의 동작파형도를 참조하여 설명하면 다음과 같다.

<43> 먼저, 상기 증폭회로의 입력신호(IN)가 변하지 않은 경우에는, 즉, 증폭회로가 구간(A)에서와 같이 완전히 정착되어 있는 구간에서는, PMOS트랜지스터(P4)의 출력신호인 증폭신호(OUT2)는 PMOS 트랜지스터(P4)의 게이트신호(T2)의 전압레벨을 유지하고, NMOS 트랜지스터(N4)의 출력신호인 증폭신호(OUT1)는 NMOS 트랜지스터(N4)의 게이트신호(T1)



의 전압레벨을 유지하므로, 검출수단(200)의 슈미트 트리거수단(31), (32)은 각각 전원 전압(VDD)의 하이레벨신호와 접지레벨의 로우레벨신호를 각각 출력한다.

<44> 그러므로, 상기 검출수단(200)은 익스클루시브 오아게이트(33)와 인버터(34)를 통해 각각 하이레벨의 검출신호(BSTX)와 로우레벨의 검출신호(BST)를 발생하여 상기 부하 구동능력 가변수단(300)으로 제공한다.

<45> 상기 부하구동능력 가변수단(300)의 제1가변수단(310)에서는 로우레벨의 검출신호(BST)에 의해 PMOS 트랜지스터(P7)가 턴온되어 PMOS트랜지스터(P8)을 디스에이블시키고, 제2가변수단(320)에서는 상기 하이레벨의 검출신호(BSTX)에 의해 NMOS 트랜지스터(P7)가 턴온되어 NMOS 트랜지스터(N8)을 디스에이블시킨다.

<46> 또한, NMOS 트랜지스터(N6)와 PMOS트랜지스터(P6)가 턴오프되어 증폭신호(OUT2), (OUT1)가 상기 PMOS 트랜지스터(P8)와 NMOS트랜지스터(N8)의 게이트로 제공되는 것은 차단되므로, 상기 증폭수단(100)의 PMOS트랜지스터(P5)와 NMOS 트랜지스터(N5)에 의해 증폭된 신호가 출력신호(OUT)로서 출력되어진다.

<47> 다음, 증폭회로의 입력(IN)값이 크게 증가하여 증폭회로의 출력단(OUT)을 빠르게 구동하여야 하는 경우에는, 즉, 도 11의 구간(B)에서와 같이 출력단(OUT)의 전압이 입력단(IN)의 전압보다 작은 경우에는, 증폭신호(OUT1)와 (OUT2)의 레벨이 접지전압(VSS)의 레벨로 감소한다.

<48> 그러므로, 검출수단(200)의 슈미트 트리거수단(31)은 전원전압(VDD)의 하이레벨신호를 그대로 유지하고, 슈미트 트리거수단(32)은 전원전압(VDD)의 하이레벨신호를 발생

한다. 따라서 익스클루시브 오아게이트(33)와 인버터(34)는 각각 로우레벨의 검출신호(BSTX)와 하이레벨의 검출신호(BST)를 각각 발생한다.

<49> 상기 부하구동능력 가변수단(300)의 제1가변수단(310)에서는 상기 로우레벨의 검출신호(BSTX)에 의해 PMOS 트랜지스터(P6)가 턴온되어 증폭신호(OUT1)가 NMOS트랜지스터(N8)의 게이트로 제공되고, 제2가변수단(310)에서는 상기 하이레벨의 검출신호(BST)에 의해 NMOS 트랜지스터(N6)가 턴온되어 증폭신호(OUT2)가 PMOS트랜지스터(P8)의 게이트로 제공된다.

<50> 따라서, 증폭회로의 출력단 트랜지스터의 크기는 PMOS 트랜지스터(P5)와 (P8)의 크기를 합한 값과 NMOS 트랜지스터(N5)와 (N8)의 크기를 합한 값이 되므로, 증폭회로의 부하구동능력을 크게 증가하여 정착시간을 도 9와 도 10a 및 도 10b에 도시된 바와같이 종래의 증폭회로보다 감소시킬 수 있음을 알 수 있다. 이때, 부하구동능력 가변수단(300)의 PMOS 트랜지스터(P7)와 NMOS 트랜지스터(N7)는 검출신호(BST)와 (BSTX)에 의해 턴오프되어진다.

<51> 이와같이 부하캐패시터에 전류를 최대한 빠르게 충전시켜 증폭회로의 출력신호(OUT)가 입력신호(IN)의 전압레벨에 근접하게 되어 도 11의 C 구간과 같이 출력신호(OUT)가 입력신호(IN)에 정착하게 되는 경우에는, 증폭신호(OUT2)는 접지전압(VSS)의 레벨에서 노드(T2)의 전압레벨로 되돌아오게 된다.

<52> 그러므로, 상기에서 설명한 입력신호(IN)의 값이 변하지 않는 경우(구간 A)와 동일하게 되고, 슈미트 트리거수단(32)의 출력신호는 접지전압(VSS)의 로우레벨신호로 변하여 부하구동능력 가변수단(300)의 PMOS 트랜지스터(P8)와 NMOS 트랜지스터(N8)를 턴오프시킴으로써 증폭회로의 소비전류를 다시 최소한으로 감소시켜준다.

- <53> 다음, 입력신호(IN)의 값이 크게 감소하는 경우에는, 즉 도 11의 구간(D)에서와 같이 출력신호(OUT)의 전압레벨이 입력신호(IN)의 전압레벨보다 매우 큰 경우에는, 증폭신호(OUT1)가 전원전압(VDD)의 레벨로 근접하게 되어 검출수단(200)의 슈미트 트리거수단(31), (32)는 전원전압(VDD)의 하이레벨신호를 출력한다.
- <54> 따라서, 익스클루시브 오아게이트(33)와 인버터(34)는 각각 로우레벨의 검출신호(BSTX)와 하이레벨의 검출신호(BST)를 출력하고, 상기 구간(B)에서의 동작과 같이 부하구동능력 가변수단(300)의 PMOS 트랜지스터(P6)와 NMOS 트랜지스터(N6)가 터온된다.
- <55> 따라서, 증폭회로의 출력단 트랜지스터의 크기는 PMOS 트랜지스터(P5)와 (P8)의 크기를 합한 값과 NMOS 트랜지스터(N5)와 (N8)의 크기를 합한 값이 되므로, 증폭회로의 부하구동능력을 크게 증가하여 정착시간을 도 9와 도 10a 및 도 10b에 도시된 바와같이 종래의 증폭회로보다 감소시킬 수 있음을 알 수 있다.
- <56> 이와같이 부하캐패시터에서 전류를 최대한 빠르게 방전시켜 증폭회로의 출력신호(OUT)가 입력신호(IN)의 전압레벨에 근접하게 되어 도 11의 E 구간과 같이 출력신호(OUT)가 입력신호(IN)에 정착하게 되는 경우에는, 증폭신호(OUT1)는 전원전압(VDD)의 레벨에서 노드(T1)의 전압레벨로 되돌아오게 된다.
- <57> 그러므로, 상기에서 설명한 입력신호(IN)의 값이 변하지 않는 경우(구간 E)와 동일하게 되고, 슈미트 트리거수단(31)의 출력신호는 전원전압(VDD)의 하이레벨신호로 변하여 부하구동능력 가변수단(300)의 PMOS 트랜지스터(P8)와 NMOS 트랜지스터(N8)를 터오프시킴으로써 증폭회로의 소비전류를 다시 최소한으로 감소시켜준다.

<58> 본 발명의 실시예에서는, 트랜지스터(P5, N5)와 (P8, N8)에 흐르는 최대전류는 이들 트랜지스터의 W/L 크기에 의해 결정되며, 이는 정착시간이 이들 트랜지스터에 의해 결정됨을 의미한다. 따라서, 증폭신호(OUT2)의 전압레벨이 접지전압(VSS)으로 떨어지면 이를 검출수단(200)을 통해 검출하고, 부하구동능력 가변수단(300)을 통해 구동능력을 증가시킨다. 증폭회로의 정착이 거의 완료되어 증폭신호(OUT2)의 전압레벨이 다시 노드(T2)의 전압레벨로 복귀하면 이를 검출수단(200)을 통해 검출하여 부하구동능력 가변수단(300)을 디스에이블시킨다.

<59> 그리고, 증폭신호(OUT1)의 전압레벨이 전원전압(VDD)으로 증가하면 이를 검출수단(200)을 통해 감지하여 부하구동능력 가변수단(300)을 통해 구동능력을 증가시키고, 정착이 거의 완료되어 증폭신호(OUT1)가 노드(T1)의 전압레벨로 복귀하면 이를 검출수단(200)을 통해 검출하여 부하구동능력 가변수단(300)을 디스에이블시킨다. 그러므로, 입력신호(IN)가 변하는 경우에는 부하구동능력을 증가시켜 정착시간을 감소시키고, 입력신호(IN)가 변하지 않은 경우에는 소비전류를 감소시킨다.

【발명의 효과】

<60> 상기한 바와같은 본 발명의 증폭회로에 따르면, 입력신호가 변하는 경우에는 이를 검출하여 부하구동능력 가변수단을 통해 부하구동능력을 증가시켜 정착시간을 감소시키고, 입력신호가 변하지 않는 경우에는 이를 검출하여 부하구동능력 가변수단을 디스에이블시켜 줌으로써 소비전류를 감소시킬 수 있게 된다.

<61> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터

1020020042304

출력 일자: 2003/5/15

벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

입력신호를 1차 증폭하여 제1 및 제2트랜지스터를 통해 제1 및 제2증폭신호를 발생하고, 상기 제1 및 제2증폭신호를 각각 제3 및 제4트랜지스터를 통해 2차증폭하여 출력신호를 발생하는 증폭수단;
상기 증폭수단의 제1 및 제2증폭신호를 검출하여 제1 및 제2검출신호를 발생하는 검출수단; 및
상기 검출수단으로부터 발생된 제1 및 제2검출신호에 따라 제어되어 상기 증폭수단의 부하구동능력을 가변시켜 주기 위한 부하구동능력 가변수단
을 구비하는 것을 특징으로 하는 부하구동능력 가변형 증폭회로.

【청구항 2】

제1항에 있어서,
상기 검출수단은
상기 증폭수단의 제1 및 제2증폭신호의 전압레벨 변화를 각각 감지하는 슈미트 트리거수단;
상기 슈미트 트리거수단의 출력신호를 입력하여 제1검출신호를 발생하는 익스클루시브 오아게이트;

상기 제1검출신호를 반전시켜 제2검출신호를 발생하는 인버터로 이루어지는 것을 특징으로 하는 부하구동능력 가변형 증폭회로.

【청구항 3】

제2항에 있어서,

상기 제1 및 제2슈미트 트리거수단은 각각 입력신호인 제1 및 제2증폭신호가 제1트랜지스터의 입력신호레벨이 되면 접지전압의 로우레벨신호를 출력하고, 제1 및 제2증폭신호가 제2트랜지스터의 입력신호레벨이면 전원전압의 하이레벨신호를 출력하는 것을 특징으로 하는 부하구동능력 가변형 증폭회로.

【청구항 4】

제1항에 있어서,

상기 부하구동능력 가변수단은

상기 검출수단의 제2검출신호에 의해 구동되어 상기 증폭수단의 제3트랜지스터의 구동능력을 증가시켜 주기위한 제1가변수단;

상기 검출수단의 제1검출신호에 의해 구동되어 상기 증폭수단의 제4트랜지스터의 구동능력을 증가시켜 주기위한 제2가변수단으로 이루어지는 것을 특징으로 하는 부하구동능력 가변형 증폭회로.

【청구항 5】

제4항에 있어서,

제 1가변수단은

상기 증폭수단의 제3트랜지스터와 함께 부하구동능력을 증가시켜 주기 위한 제5트

랜지스터;

상기 제2검출신호에 의해 상기 제5트랜지스터를 디스에이블시켜 주기 위한 제6트랜지스터;

상기 제2검출신호에 의해 상기 제1증폭신호를 상기 제5트랜지스터의 게이트신호로 전달하기 위한 제7트랜지스터로 이루어지는 것을 특징으로 하는 부하구동능력 가변형 증폭회로.

【청구항 6】

제5항에 있어서,

제1가변수단의 제5트랜지스터와 증폭수단의 제3트랜지스터는 PMOS트랜지스터로서, 제5트랜지스터가 제3트랜지스터의 4배이상의 크기를 갖는 것을 특징으로 하는 부하구동 능력 가변형 증폭회로.

【청구항 7】

제5항에 있어서,

제1가변수단의 제6트랜지스터와 제7트랜지스터는 각각 제2검출신호가 게이트에 인가되는 PMOS 트랜지스터와 NMOS 트랜지스터로 이루어지는 것을 특징으로 하는 부하구동 능력 가변형 증폭회로.

【청구항 8】

제4항에 있어서,

제 2가변수단은

상기 증폭수단의 제4트랜지스터와 함께 부하구동능력을 증가시켜 주기 위한 제8트랜지스터;

상기 제2검출신호에 의해 상기 제8트랜지스터를 디스에이블시켜 주기 위한 제9트랜지스터;

상기 제2검출신호에 의해 상기 제2증폭신호를 상기 제8트랜지스터의 게이트신호로 전달하기 위한 제10트랜지스터로 이루어지는 것을 특징으로 하는 부하구동능력 가변형 증폭회로.

【청구항 9】

제8항에 있어서,

1020020042304

출력 일자: 2003/5/15

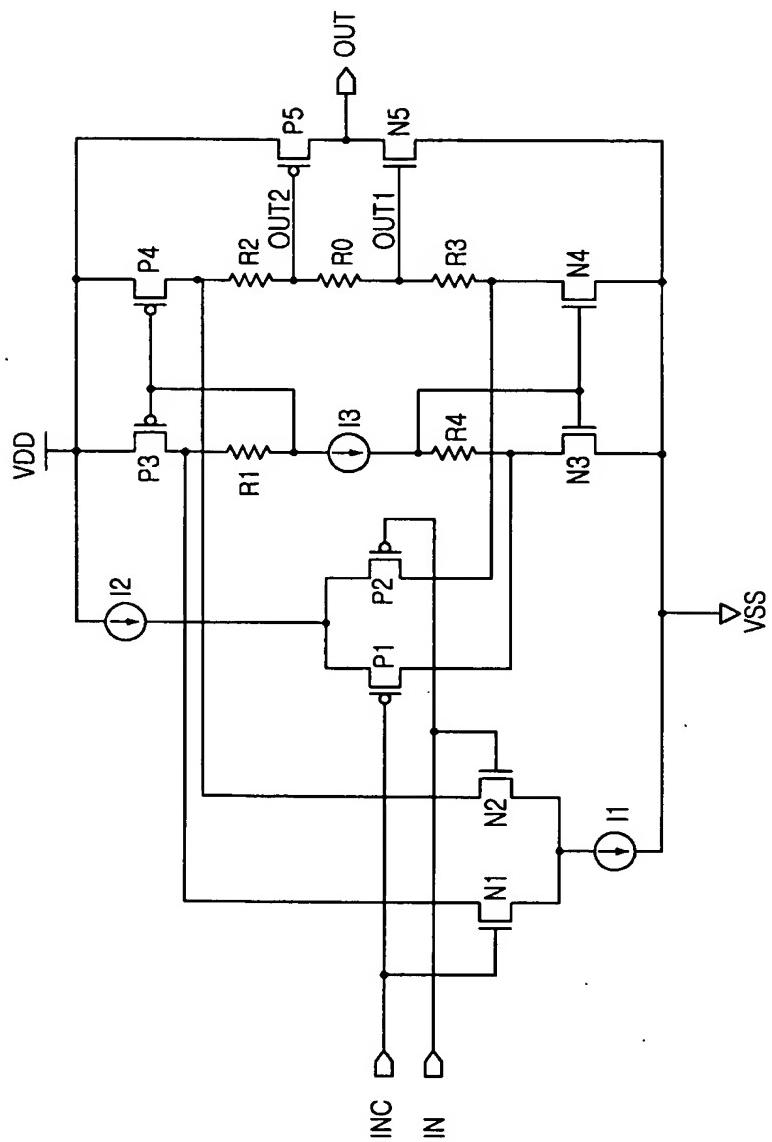
제2가변수단의 제8트랜지스터와 증폭수단의 제4트랜지스터는 NMOS 트랜지스터로서, 상기 제8트랜지스터는 상기 제4트랜지스터의 4배이상의 크기를 갖는 것을 특징으로 하는 부하구동능력 가변형 증폭회로.

【청구항 10】

제8항에 있어서,
제2가변수단의 제9트랜지스터와 제10트랜지스터는 각각 제2검출신호가 게이트에 인가되는 PMOS 트랜지스터와 NMOS 트랜지스터로 이루어지는 것을 특징으로 하는 부하구동 능력 가변형 증폭회로.

【도면】

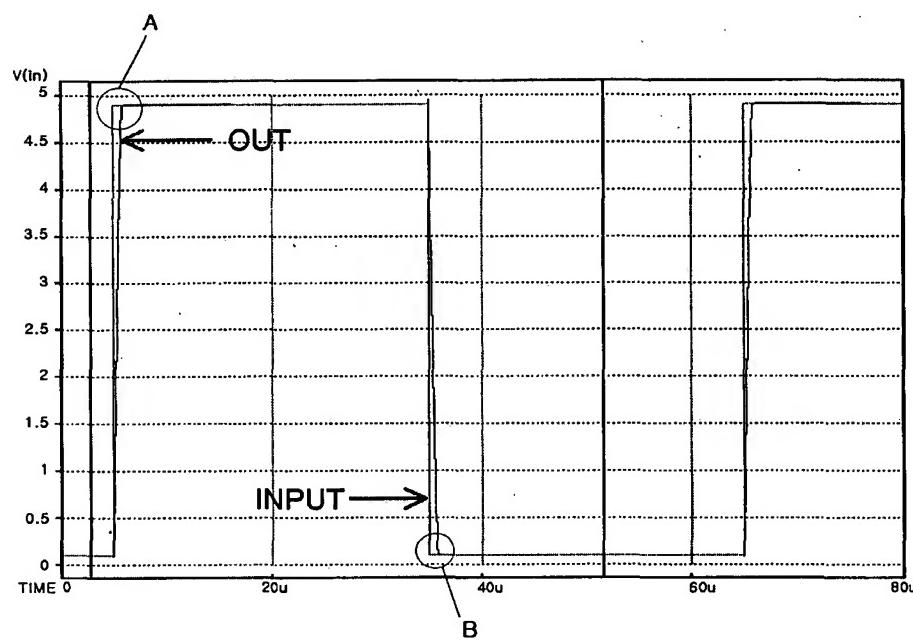
【도 1】



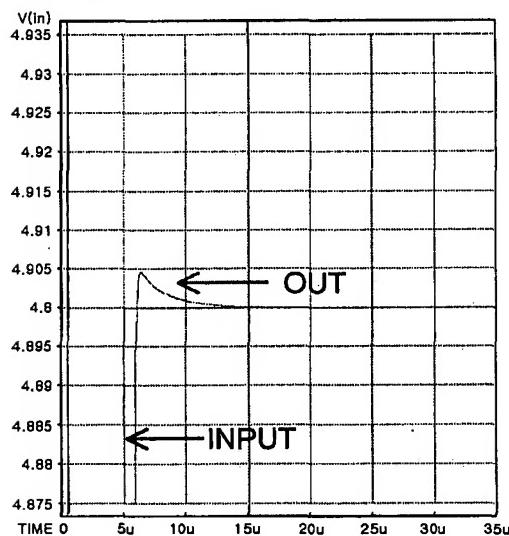
1020020042304

출력 일자: 2003/5/15

【도 2】



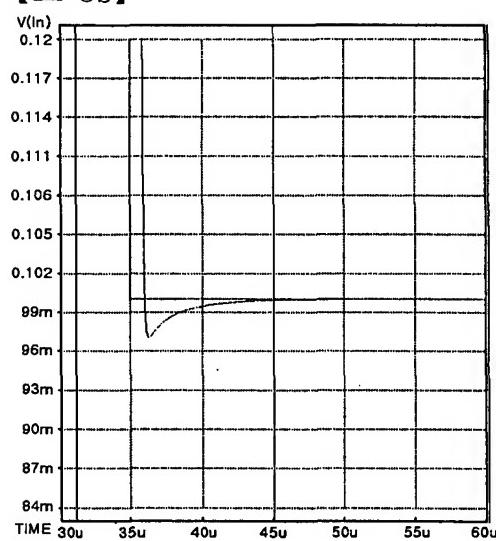
【도 3a】



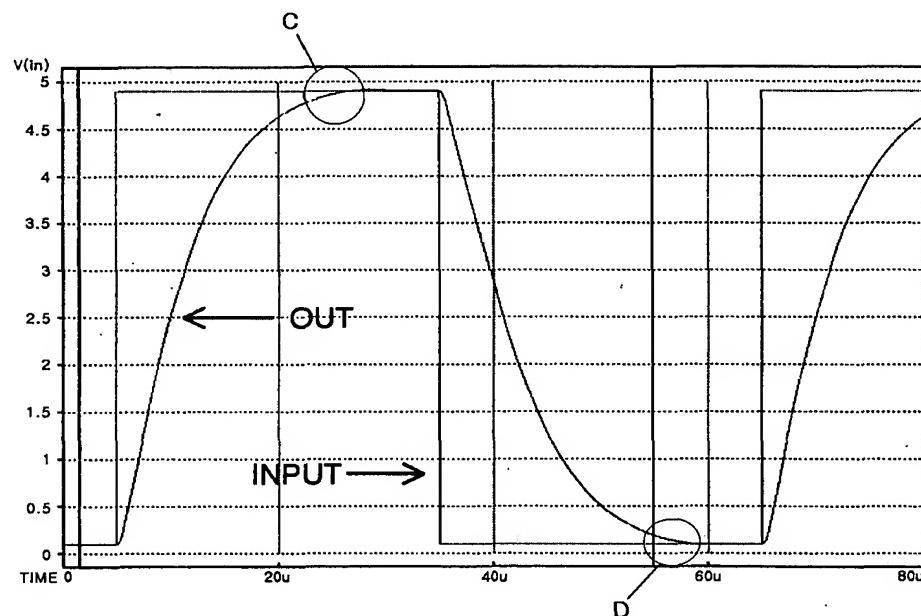
1020020042304

출력 일자: 2003/5/15

【도 3b】



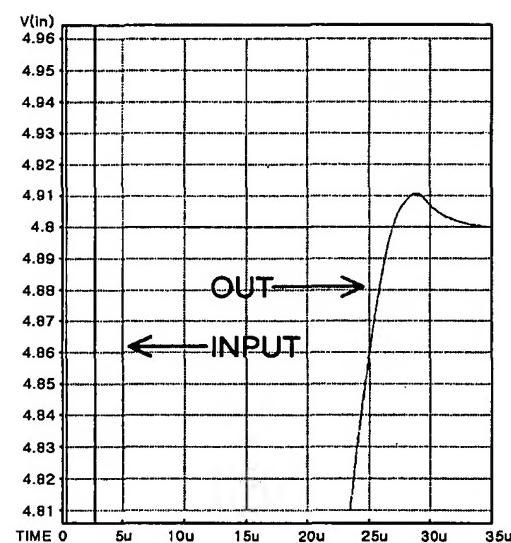
【도 4】



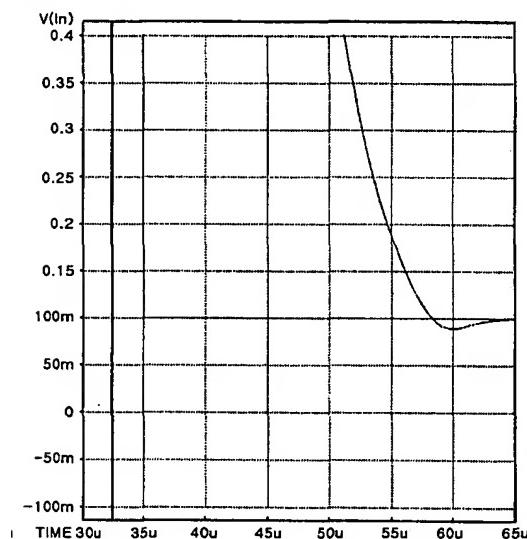
1020020042304

출력 일자: 2003/5/15

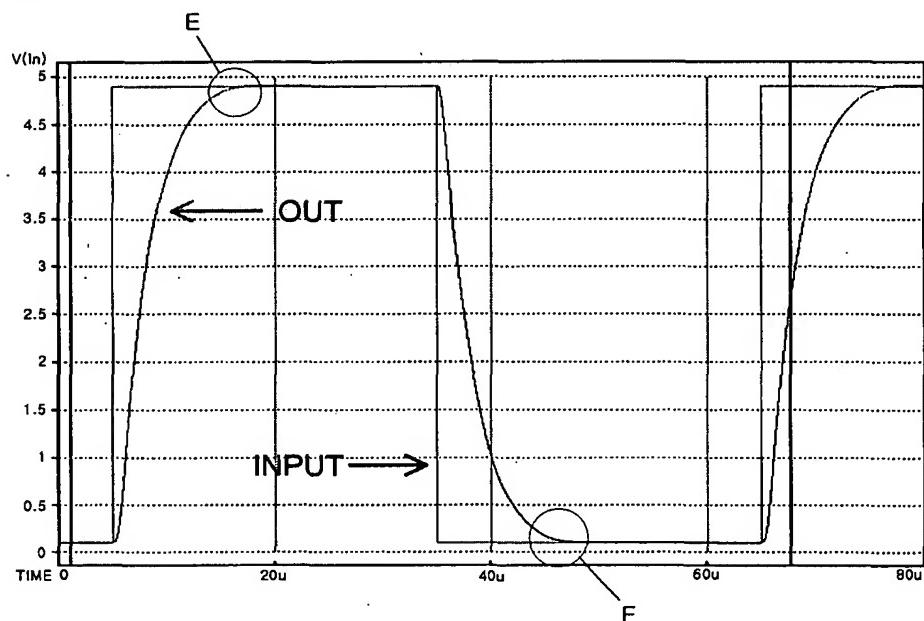
【도 5a】



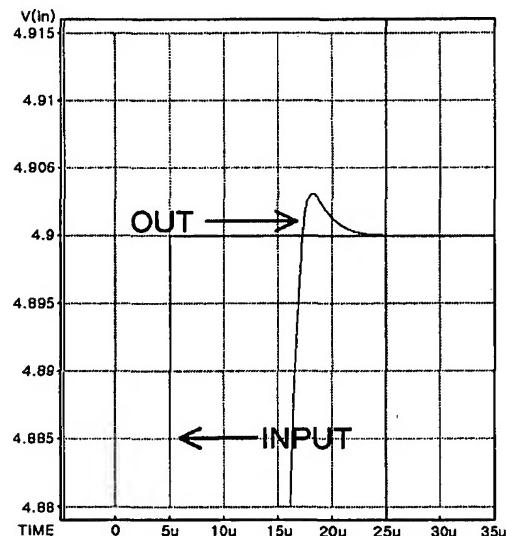
【도 5b】



【도 6】



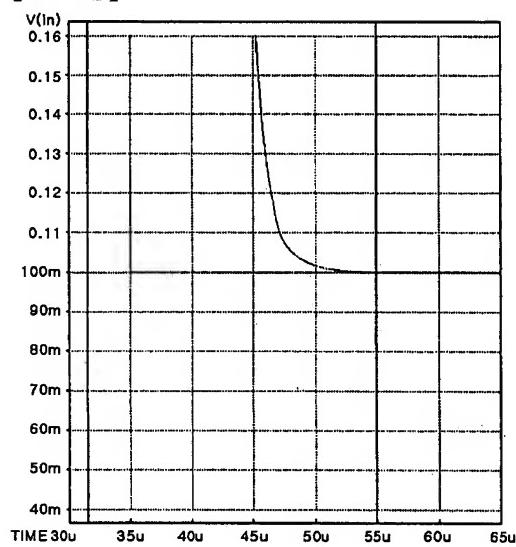
【도 7a】



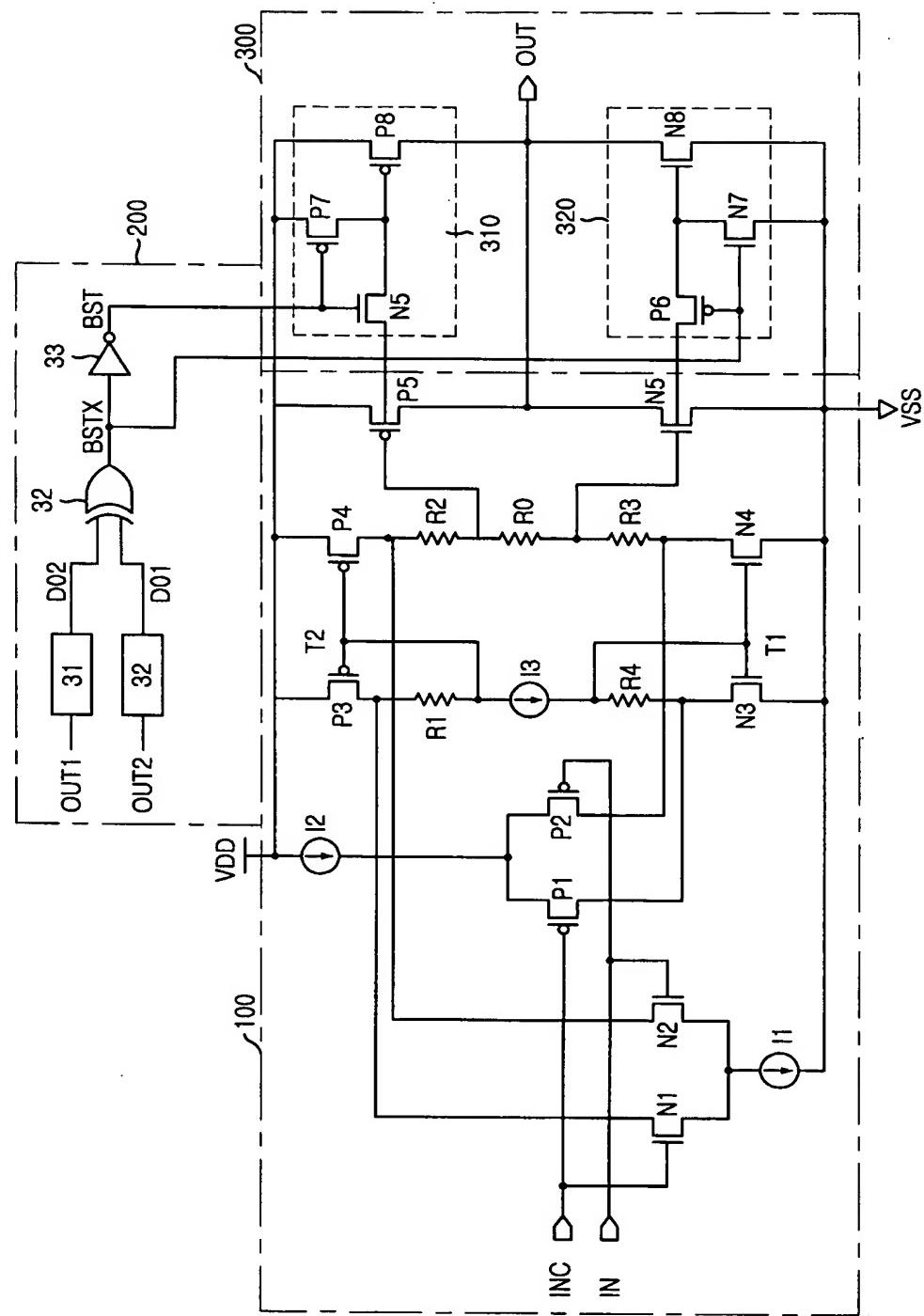
1020020042304

출력 일자: 2003/5/15

【도 7b】



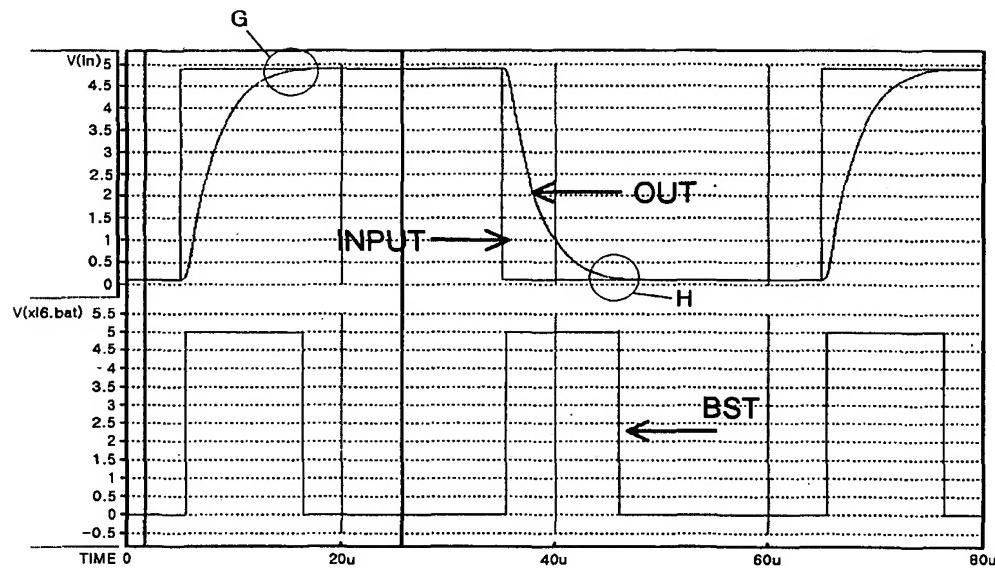
【도 8】



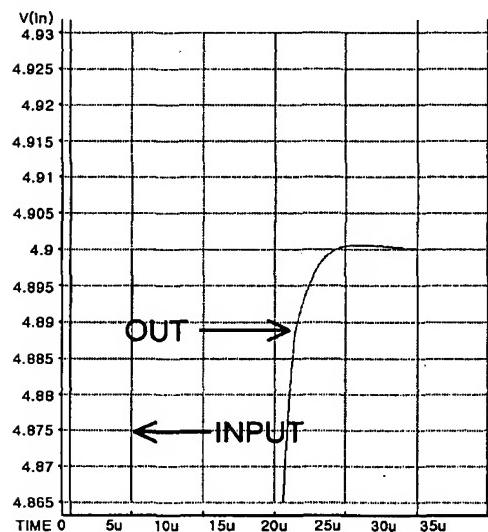
1020020042304

출력 일자: 2003/5/15

【도 9】



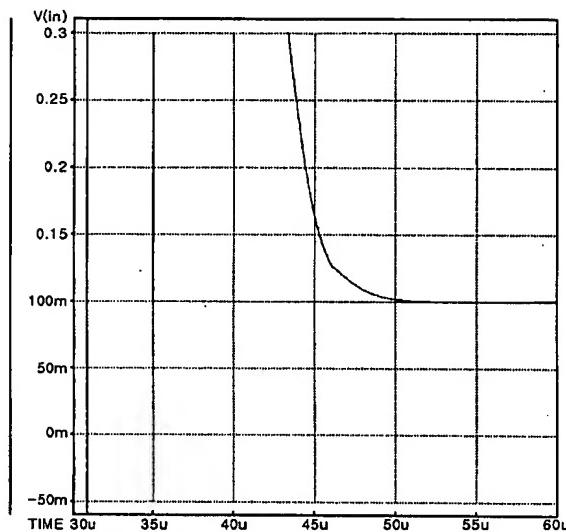
【도 10a】



1020020042304

출력 일자: 2003/5/15

【도 10b】



【도 11】

